

D.43/79
Frequenzvergleich, Phasen-
vergleich, MOS-Technik,
TTL-Technik

DIGITALSCHALTUNG

OBERRAT PETER TARGE (Quelle: RFZ/PSN)

Anordnung zum Frequenz- und Phasenvergleich

PLL-Schleifen enthalten im allgemeinen einen Phasenkomparator mit nachgeschaltetem Filter, durch dessen Ausgangssignal die Frequenz des steuerbaren Oszillators beeinflusst wird. Der Fangbereich wird durch dieses Filter entscheidend beeinflusst. Er ist in jedem Fall endlich, d.h. der sogenannte eingerastete Zustand stellt sich nur dann ein, wenn die Differenz zwischen der Freilauf-Frequenz des Oszillators und der Eingangsfrequenz einen gewissen Betrag nicht überschreitet. Aus diesem Grund sind übliche Phasenkomparatoren für die Drehzahlregelung von Motoren nur schlecht geeignet.

Die hier vorgestellte Schaltung besitzt einen prinzipiell unbegrenzten Fangbereich und ist daher in den o.g. Fällen vorteilhaft anwendbar.

Im Prinzip handelt es sich um einen 2-Bit-Vorwärts-Rückwärts-Zähler mit getrennten Zählwegen für die beiden Richtungen. Die in der Anordnung enthaltene Zählersperre bewirkt, daß durch weitere Zählimpulse der maximale Zählerstand nicht überschritten und der minimale Zählerstand nicht unterschritten werden kann.

Für den Einschwingvorgang ist das Verhalten der Anordnung bei gleichzeitig eintreffenden Impulsen an beiden Eingängen maßgebend. Besonders günstige Eigenschaften würden sich ergeben, wenn sich dabei der Zustand des Zählers nicht ändern würde. Eine Anordnung, die dieses Verhalten zeigt, wird jedoch relativ kompliziert. Da in der Praxis eine zeitliche Koinzidenz beider Eingangsimpulse nur während des Einschwingvorganges und auch dann nur mit kleiner Wahrscheinlichkeit auftritt, kann man durch Entschärfung der Forderungen zu einer wesentlich einfacheren Anordnung kommen. Wichtig ist nur, daß bei Koinzidenz kein Zählerzustand übersprungen wird und daß sich die Anordnung symmetrisch verhält. Abb. 1 zeigt den modifizierten Automatengraph. Die inneren Zustände sind durch ihr Dezimal-Äquivalent gekennzeichnet.

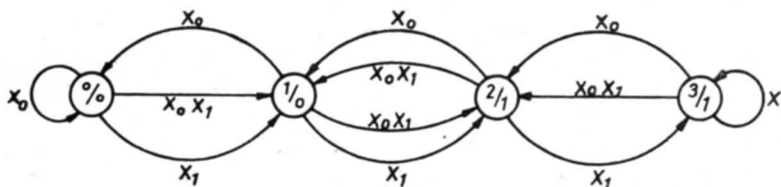


Abb. 1

Die Realisierung mit MOS-Schaltkreisen ist in Abb. 2 gezeigt.

An die Eingänge x_0 und x_1 sind negativ gerichtete Impulse anzulegen. Liegen die Eingänge direkt an anderen MOS-Gattern, dann ist $R = 47 \text{ k}\Omega$ zu wählen, die maximale Betriebsfrequenz beträgt einige 10 kHz. Werden die beiden verbleibenden Gatter des U 107 als Impulsformer am Eingang verwendet, dann können x_0 und x_1 durch RC-Glieder gewonnen werden, R ist zu vergrößern. Diese Anordnung sollte nur bis zu Frequenzen von etwa 10 kHz verwendet werden. Bei Frequenzen oberhalb 100 kHz sollte die ODER-Verknüpfung mittels weiterer Gatter vorgenommen werden. Die Impulsbreite ist möglichst klein zu wählen, um ein günstiges Verhalten bei langsam verlaufenden Einschwingvorgängen zu erreichen. Der eingeschwingene Zustand kann durch eine Antivalenz-Verknüpfung der Ausgänge beider Trigger überwacht werden.

Ist eine derartige Aufgabe in TTL-Technik zu realisieren, dann kann prinzipiell die Anordnung nach Abb. 2 auf NAND-Verknüpfungen umgerechnet und mit D 100 und D 172 aufgebaut werden. Kleinerer Aufwand ergibt sich jedoch bei Verwendung des D 195 in der Anordnung nach Abb. 3. Der Schaltkreis ist als Rechts-Links-Schieberegister geschaltet, wobei nur 3 Bit genutzt werden. Durch die Impulse x_0 wird eine logische 1 nach rechts und durch die Impulse x_1 eine logische 0 nach links geschoben. Im eingeschwingenen Zustand liegen am Ausgang, genauso wie bei der Anordnung nach Abb. 2, Rechteckimpulse, deren Breite gleich dem zeitlichen Versatz der Eingangsimpulse ist. Diese sind wiederum möglichst schmal zu halten. Auch hier kann der eingeschwingene Zustand durch Auswertung weiterer

Ausgangssignale überwacht werden (Ausgang A).
 Bei falscher Phasenlage innerhalb des Regelkreises können entweder die Eingänge vertauscht werden,
 oder es wird ES an 0 Volt und A 3 an + U_B gelegt.

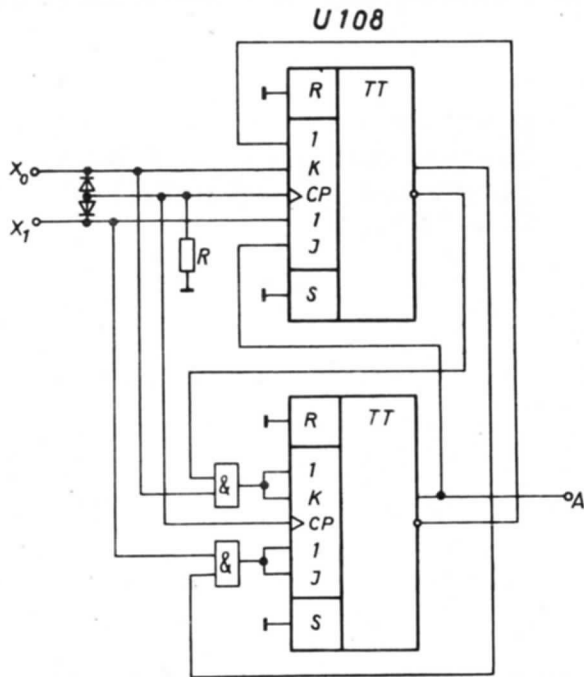


Abb. 2

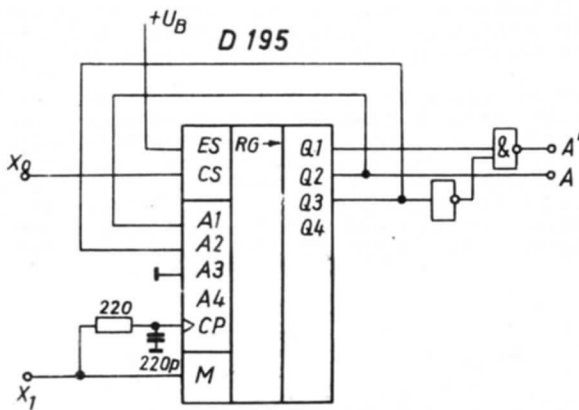


Abb. 3

Schutzrechtssituation: geschützt durch WP 33445